

009613849 \*\*Image available\*\*

WPI Acc No: 1993-307397/199339

XRPX Acc No: N93-236708

Small, fast flip-flop circuit with low power consumption - has two  
latches with transfer gate comprising FET and capacitor, and transfers  
input data stored in capacitor through inverter comprising direct coupled  
FET logic circuit NoAbstract

Patent Assignee: SONY CORP (SONY )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5218814	A	19930827	JP 9241922	A	19920131	199339 B

Priority Applications (No Type Date): JP 9241922 A 19920131

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 5218814	A		9	H03K-003/037	

Abstract (Basic): JP 5218814 A

This Page Blank (uspto)

DIALOG(R)File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

04227114     \*\*Image available\*\*  
FLIP-FLOP CIRCUIT

PUB. NO.:        05-218814    [J P 5218814 A]  
PUBLISHED:      August 27, 1993 (19930827)  
INVENTOR(s):    KAWASAKI HIDETOSHI  
APPLICANT(s):   SONY CORP [000218] (A Japanese Company or Corporation), JP  
                  (Japan)  
APPL. NO.:      04-041922    [JP 9241922]  
FILED:          January 31, 1992 (19920131)  
INTL CLASS:     [5] H03K-003/037  
JAPIO CLASS:    42.4 (ELECTRONICS -- Basic Circuits)  
JOURNAL:        Section: E, Section No. 1471, Vol. 17, No. 661, Pg. 104,  
                  December 07, 1993 (19931207)

#### ABSTRACT

PURPOSE: To obtain a compact flip-flop circuit which works at a high speed and with the small power consumption by transferring the input information accumulated in a capacitor via an inverter consisting of a direct coupled field effect transistor logic circuit.

CONSTITUTION: A master latch circuit 41 transfers the new input data D1 to a capacitor C1 via a field effect transistor TR Q41 in the rising timing of a clock signal CK. At the same time, the circuit 41 outputs the newly stored latch data D2 to a slave via an inverter 141. Similarly, a slave latch circuit 42 transfers the data D2 inputted from the circuit 41 to a capacitor C2 in the rising timing of a clock signal ICK. At the same time, the circuit 42 outputs the data D2 as the latch data D3 via an inverter 142.

This Page Blank (uspto,

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-218814

(43) 公開日 平成5年(1993)8月27日

(51) Int.Cl.<sup>4</sup>

H 0 3 K 3/037

識別記号

庁内整理番号

F I

技術表示箇所

B 7436-5 J

審査請求 未請求 請求項の数1(全 9 頁)

(21) 出願番号 特願平4-41922

(22) 出願日 平成4年(1992)1月31日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 川▲さき▼ 英俊

東京都品川区北品川6丁目7番35号ソニー

株式会社内

(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 フリップフロップ回路

(57) 【要約】

【目的】 本発明は、フリップフロップ回路において、小型かつ低消費電力で高速動作するフリップフロップ回路を実現する。

【構成】 フリップフロップ回路の第1及び第2のラッチ部を電界効果トランジスタでなる転送ゲートとキャパシタで構成し、当該キャパシタに蓄積された入力情報を直結形電界効果トランジスタ論理回路でなるインバータを介して転送することにより、低消費電力で高速動作するフリップフロップ回路を従来に比して一段と少ない素子数で実現することができる。

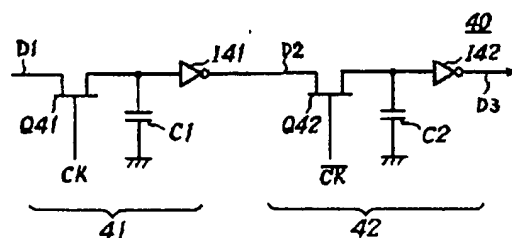


図1 実施例によるマスタ・スレーブ型  
フリップフロップ回路の構成

## 【特許請求の範囲】

【請求項1】クロックパルスが立ち上がるタイミングで入力情報を第1のフリップフロップ回路に読み込み、続くクロックパルスが立ち下がるタイミングで上記第1のフリップフロップ回路に蓄積された入力情報を後段の第2のフリップフロップ回路に転送するマスタ・スレーブ型のフリップフロップ回路において、  
上記第1及び第2のフリップフロップ回路は、電界効果トランジスタでなる第1及び第2の転送ゲートと、  
上記転送ゲートを介して読み込まれた上記入力情報を蓄積する第1及び第2のキャパシタと、  
直結形電界効果トランジスタ論理回路で構成され、上記第1及び第2のキャパシタに蓄積された上記入力情報を後段に反転して出力する第1及び第2のインバータとを  
具えることを特徴とするフリップフロップ回路。

## 【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

## 産業上の利用分野

従来の技術（図6及び図7）

発明が解決しようとする課題（図8～図12）

課題を解決するための手段（図1）

作用（図5）

実施例（図1～図5）

発明の効果

【0002】

【産業上の利用分野】本発明はフリップフロップ回路に関し、例えば集積回路内に内蔵され、高速動作するマスタ・スレーブ型のフリップフロップ回路に適用して好適なものである。

【0003】

【従来の技術】従来、半導体集積回路は一段と大規模かつ高速化し、そのチップ面積の縮小と低消費電力化が重要な課題となつている。例えば携帯電話等の移動体通信機器においては、携帯電話本体の小型化と乾電池で駆動できる低消費電力化のため信号変調回路用IC（integrated circuit）を小型かつ低消費電力化することが要望されている（図6）。

【0004】携帯電話の場合、通常2（GHz）の搬送波周波数に対して約300（KHz）のバンド幅で伝送されるデジタル信号を送受信するため、当該デジタル信号を送受信する $\pi/4$ 位相シフト変調回路1を一段と小型化かつ低消費電力にすることが望まれる。

【0005】因みに $\pi/4$ 位相シフト変調回路1は、周波数2倍選倍用ミキサ2に搬送波信号S1を入力すると位相が180°異なる2倍選倍搬送信号S2及びS3に変換すると共に、当該2倍選倍搬送信号S2及びS3の周波数を搬送波周波数fに対して2倍に変調して出力するようになされている。

【0006】かかる後、1/2分周回路3及び4は、当

該2倍選倍搬送信号S2及びS3の位相を1/2に分周すると共に、位相変調された中間周波数信号S4（0°位相）、S5（180°位相）、S6（90°位相）及びS7（270°位相）をミキサ5及び6に供給し、高周波信号S8及びS9に重畳して中間周波出力として出力するようになされている。

【0007】また一般に信号処理回路に広く用いられる位相同期PLL（phase locked loop）回路の場合にも、 $\pi/4$ 位相シフト変調回路1と同様、小型かつ低消費電力であることが望ましい（図7）。

【0008】因みにPLL回路10は、局部発振信号S10を位相比較器11に入力すると、ループフィルタ12を介して入力される電圧制御発振回路13の発振出力S11の位相と当該局部発振信号S10の位相とを比較し、比較出力をM進のプログラマブルカウンタ14及び1/N分周回路15を順次介して局部発振信号S10の整数倍（N×M倍）に分周した分周出力S12を出力するようになされている。

【0009】

20 【発明が解決しようとする課題】ところで $\pi/4$ 位相シフト変調回路1やPLL回路10で周波数の変調やデータのクロックへの同期に用いられる1/2分周回路3及び4や1/N分周回路15として、従来は図8に示するようなマスタ・スレーブ型フリップフロップ回路が一般に用いられている。

【0010】ここでマスタ・スレーブ型のフリップフロップ回路20は、2入力ノアゲートN1～N4で構成されるマスタ・フリップフロップ回路21及び2入力ノアゲートN5～N8で構成されるスレーブ・フリップフロップ回路22で構成されている。因みに各2入力ノアゲートN1～N8は、図9に示すように、並列接続された電界効果トランジスタQ1及びQ2のドレインに負荷抵抗R1が接続されて構成されている。

【0011】ところがこのマスタ・スレーブ型のフリップフロップ回路20の場合、最高動作周波数はノアゲート一段当たりの信号伝搬遅延時間（t<sub>pd</sub>）に対して4分（すなわちノアゲートN1～N3～N5～N7及びノアゲートN2～N4～N6～N8分）の遅延時間4（t<sub>pd</sub>）の逆数となるため高速化を図る上で支障となつていた。

【0012】そこでさらに高速動作し得るフリップフロップ回路として、図10に示すようなメモリ・セル型のマスタ・スレーブ型フリップフロップ回路25が提案されている。

【0013】ここで各フリップフロップ回路26及び27は、ゲートにクロック信号CK及び反転クロック信号ICKを入力することにより電界効果トランジスタQ5、Q6及びQ7、Q8をオン・オフ制御し、DCFL（Direct Coupled Field effect transistor Logic）回路のインバータ11、12及び13、14で構成される

3

ラッチ回路でラッチされたデータをインバータI5、I6及びI7、I8を介して後段にそれぞれ転送するようになされている。

【0014】因みに各インバータI1～I8は、図11に示すように、電界効果トランジスタQ3のドレインに負荷抵抗R2を接続することにより構成されている。このフリップフロップ回路25の場合、最高動作周波数は2段分（すなわちI5～I7及びI6～I8分）の遅延時間2（tpd）の逆数となるため、フリップフロップ回路20の場合に比して2倍で動作させることができるが、インバータを8個接続しなければならないために消費電力を十分小さくすることはできなかった。

【0015】そこでさらに消費電力を小さくできるフリップフロップ回路として、図12に示すような抵抗帰還型のマスタ・スレーブ型フリップフロップ回路30が提案されている。

【0016】ここで各フリップフロップ回路31及び32は、ゲートにクロック信号CK及び反転クロック信号ICKを入力することにより電界効果トランジスタQ5、Q6及びQ7、Q8をオン・オフ制御し、DCFL 20 回路のインバータI5、I6及びI7、I8を介して後段に転送される出力信号を抵抗R3、R4及びR5、R6を介してインバータI6、I5及びI8、I7の入力側に帰還するようになされている。

【0017】このフリップフロップ回路30の場合、インバータが4個で済むためフリップフロップ回路20及び25の場合に比して消費電力を1/2にすることができる。ところが高速かつ低消費電力で小型の集積回路を開発するためには、さらに低消費電力で使用素子数が少 30 なく、かつ回路規模の小さいフリップフロップ回路が望まれている。

【0018】本発明は以上の点を考慮してなされたもので、従来に比して一段と小型かつ低消費電力のフリップフロップ回路を提案しようとするものである。

【0019】

【課題を解決するための手段】かかる課題を解決するため本発明においては、クロックパルスCKが立ち上がるタイミングで入力情報Dを第1のフリップフロップ回路41に読み込み、続くクロックパルスCKが立ち下がるタイミングで第1のフリップフロップ回路41に蓄積された入力情報Dを後段の第2のフリップフロップ回路42に転送するマスタ・スレーブ型のフリップフロップ回路40において、第1及び第2のフリップフロップ回路41及び42は、電界効果トランジスタでなる第1及び第2の転送ゲートQ41、Q42と、転送ゲートQ41、Q42を介して読み込まれた入力情報Dを蓄積する第1及び第2のキャパシタC1及びC2と、直結形電界効果トランジスタ論理回路（DCFL：Direct Coupled Field effect transistor Logic）で構成され、第1及び第2のキャパシタC1及びC2に蓄積された入力情報 50

4

Dを後段に反転して出力する第1及び第2のインバータI41、I42とを備えるようにする。

【0020】

【作用】電界効果トランジスタでなる第1及び第2の転送ゲートQ41、Q42と第1及び第2のキャパシタC1及びC2によつて第1及び第2のフリップフロップ回路のラッチ部をダイナミックランダムメモリセルで構成し、当該ラッチ部に蓄積された入力情報Dを直結形電界効果トランジスタ論理回路（DCFL：Direct Coupled Field effect transistor Logic）で構成される第1及び第2のインバータI41、I42を介して出力することにより、フリップフロップ回路を従来に比して一段と小型かつ低消費電力で高周波動作させることができる。

【0021】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0022】図1においてマスタ・スレーブ型フリップフロップ回路40は、電界効果トランジスタQ41、コンデンサC1及びDCFL回路のインバータI41で構成されるマスタ・フリップフロップ回路41及び電界効果トランジスタQ42、コンデンサC2及びDCFL回路のインバータI42で構成されるスレーブ・フリップフロップ回路42により構成されるようになされている。

【0023】ここで転送ゲート用の電界効果トランジスタQ41及びQ42はそれぞれコンデンサC1及びC2によりDRAM（Dynamic random access memory）のメモリセルを構成するようになされており、各ゲートに供給されるクロック信号CK及び反転クロック信号ICKによつてコンデンサC1及びC2にデータD1及びD2をラッチするようになされている。

【0024】すなわちマスタ・フリップフロップ回路41は、クロック信号CKが立ち上がるタイミングで、新たな入力データD1を電界効果トランジスタQ41を介してコンデンサC1に転送すると共に、新たに格納されたラッチデータD2をインバータI41を介してスレーブに新たにラッチされたラッチデータD2を出力する。またマスタ・フリップフロップ回路41は、クロック信号CKが立ち下がるタイミングで、電界効果トランジスタQ41をオフ動作し、コンデンサC1に保持されているラッチデータD2をスレーブ側に転送するようになされている。

【0025】同様にスレーブ・フリップフロップ回路42は、クロック信号ICKが立ち上がるタイミングで、マスタ・フリップフロップ回路41から入力されるラッチデータD2をコンデンサC2に転送すると共に、当該ラッチデータD2をインバータI42を介してラッチデータD3として出力するようになされている。またスレーブ・フリップフロップ回路42は、クロック信号ICKが立ち下がるタイミングで、電界効果トランジスタQ

42をオフ動作し、コンデンサC2に保持されているラッチデータD3を後段に転送するようになされている。

【0026】以上の構成において、フリップ・フロップ回路40のデータ出力D3をインバータI43を介してマスタ・フリップフロップ41の入力側に帰還することにより(図2)、1/2分周回路として動作するフリップ・フロップ回路40の論理動作をシミュレーションする。

【0027】ここで電界効果トランジスタQ41及びQ42は、それぞれエンハンスメント型ガリウムひ素の接合形電界効果トランジスタ(J-FET)とすると共に、ゲート幅を8( $\mu\text{m}$ )、しきい値電圧 $V_{th}$ を0.26(V)及び相互インダクタンス $g_m$ を400( $\text{mS/mm}$ )とする。

【0028】またコンデンサC1及びC2の容量は20(pF)とし、各インバータI41及びI42はそれぞれ図3(A)に示すように、ゲート幅が40( $\mu\text{m}$ )のエンハンスメント型ガリウムひ素のJ-FETと抵抗値が40( $\Omega$ )の負荷抵抗R41で構成する。

【0029】さらにクロック信号CKをマスタ・フリップフロップ41に供給するインバータI44、I45及び反転クロック信号ICKをスレーブ・フリップフロップ42に供給するインバータI46、I47、またスレーブ側の出力をマスタ側に帰還するインバータI43はそれぞれ図3(B)に示すように、ゲート幅が8( $\mu\text{m}$ )のエンハンスメント型ガリウムひ素のJ-FETと抵抗値が1( $\text{k}\Omega$ )の負荷抵抗R42で構成する。

【0030】ここでフリップフロップ回路40に2(GHz)のクロック信号CK及び180°位相のずれた反転クロック信号ICKを入力すると(図4(A))、出力端からは図4(B)に示すように、クロック信号CKを1/2に分周した分周出力が出力され、2(GHz)という高周波数帯域で1/2分周回路として動作することが分かる。

【0031】またフリップフロップ回路40の消費電力は、DCFL回路のインバータI41及びI42の2個分で済むため、従来のフリップフロップ回路20(図8)の消費電力の約1/4にすることができ、さらにフリップフロップ回路30(図12)の消費電力と比べても約1/2に低減することができる。

【0032】因みにインバータI41及びI42の消費電力を小さく設定しても当該フリップフロップ回路40は正常に動作し、フリップフロップ回路40全体の消費電力は約0.3(mW)と従来に比して約一桁小さくすることができる。

【0033】またマスタ及びスレーブ・フリップフロップ回路による消費電力は、図5において黒丸で示すように、同程度の動作周波数を有する従来のマスタ・フリップフロップ回路の消費電力(図5において白丸で示す)に比して格段的に小さくなる。

【0034】以上の構成によれば、マスタ・フリップフロップ回路41とスレーブ・フリップフロップ回路42をそれぞれDRAMのメモリセルとDCFL回路のインバータで構成し、各電界効果トランジスタのゲートをクロック信号CK及び反転クロック信号ICKでオン・オフ制御することにより、従来に比して素子数が少ないため小型で、かつ一段と低消費電力のフリップフロップ回路を得ることができる。

【0035】なお上述の実施例においては、マスタ及びスレーブ・フリップフロップ回路41及び42の転送ゲート用のトランジスタQ41及びQ42のソースに接続されたコンデンサC1及びC2に入力信号をラッチする場合について述べたが、本発明はこれに限らず、伝送線路に寄生する容量を用いて入力信号をラッチするようにしても良い。このようにすれば一段と素子数を削減することができる。

【0036】また上述の実施例においては、マスタ・スレーブ型フリップフロップ回路40を1/2分周回路43として使用する場合について述べたが、本発明はこれに限らず、他の分周回路や同期回路等にも広く適用し得る。

【0037】

【発明の効果】上述のように本発明によれば、第1及び第2のフリップフロップ回路のラッチ部を電界効果トランジスタでなる転送ゲートとキャパシタで構成し、当該キャパシタに蓄積された入力情報を直結形電界効果トランジスタ論理回路でなるインバータを介して転送することにより、低消費電力で高速動作するフリップフロップ回路を従来に比して一段と少ない素子数で実現することができる。

【図面の簡単な説明】

【図1】本発明によるフリップフロップ回路により構成されるマスタ・スレーブ型フリップフロップ回路の一実施例を示す接続図である。

【図2】本発明によるフリップフロップ回路により構成される1/2分周回路を示す接続図である。

【図3】本発明によるフリップフロップ回路を構成するインバータの説明に供する接続図である。

【図4】1/2分周回路の動作特性の説明に供する入出力特性曲線図である。

【図5】本発明によるフリップフロップ回路の動作特性の説明に供する特性曲線図である。

【図6】 $\pi/4$ 移相シフト変調回路の構成を示す接続図である。

【図7】PLL回路の構成を示す接続図である。

【図8】従来のマスタ・スレーブ型フリップフロップ回路を示す接続図である。

【図9】ノアゲートの構成を示す接続図である。

【図10】従来の高速動作マスタ・スレーブ型フリップフロップ回路を示す接続図である。



【図11】そのインバータ回路の構成を示す接続図である。

【図12】従来の低消費電力用マスタ・スレープ型フリップフロップ回路を示す接続図である。

【符号の説明】

40……マスタ・スレープ型フリップフロップ回路、41、42……フリップフロップ回路、43……1/2分周回路、Q41、Q42……電界効果トランジスタ、C1、C2……コンデンサ、I41、I42……インバータ。

【図1】

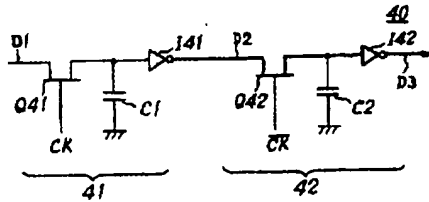


図1 実施例によるマスタ・スレープ型フリップフロップ回路の構成

【図2】

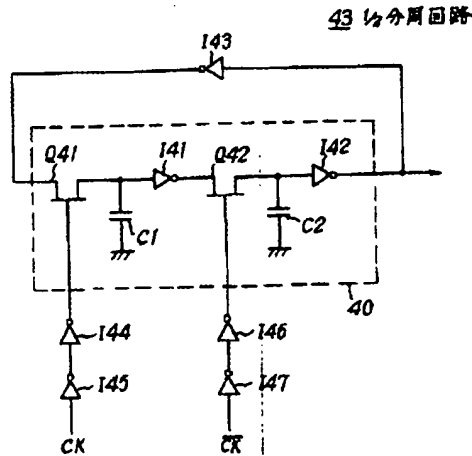


図2 1/2 分周回路の構成

【図3】

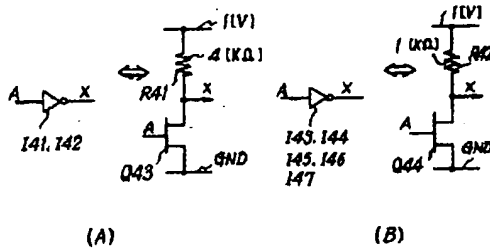


図3 インバータの構成

【図5】

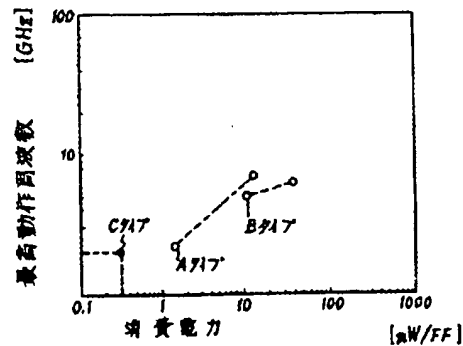


図5 高速フリップフロップ回路の特性

【図7】

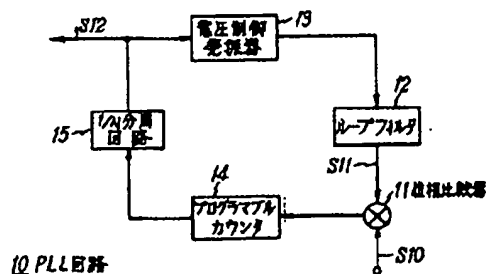
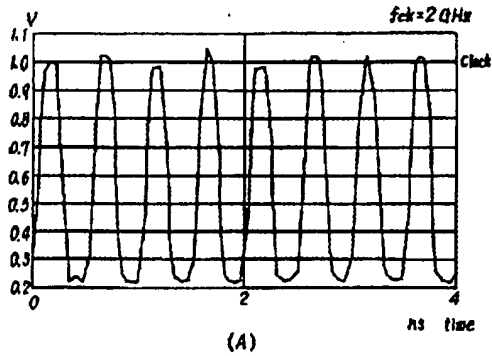
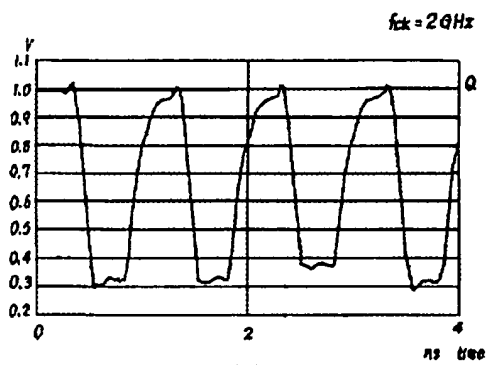


図7 PLL回路の構成

【図4】



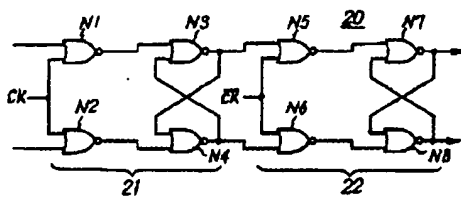
(A)



(B)

図4 入出力特性

【図8】

図8 従来のマスタスレーブ型  
フリップフロップ回路(1)

【図11】

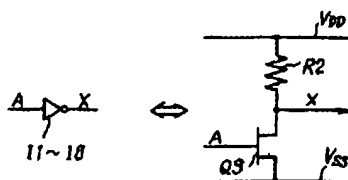


図11 インバータ回路の構成

【図6】

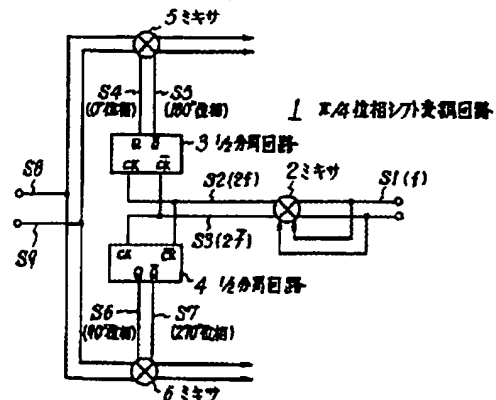
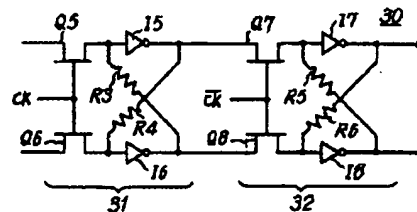


図6 1/4位相シフト変調回路の構成

【図12】

図12 従来のマスタスレーブ型  
フリップフロップ回路(3)

【図9】

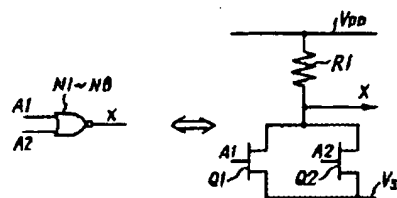
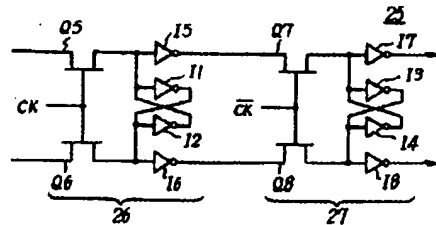


図9 NORゲートの構成

【図10】

図10 従来のマスタ・スレープ型  
フリップフロップ回路の構成 (2)

## 【手続補正書】

【提出日】平成4年4月17日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】クロックパルスが立ち上がるタイミングで入力情報を第1のラッチ回路に読み込み、続くクロックパルスが立ち下がるタイミングで上記第1のラッチ回路に蓄積された入力情報を後段の第2のラッチ回路に転送するマスタ・スレープ型のフリップフロップ回路において、

上記第1及び第2のラッチ回路は、電界効果トランジスタでなる第1及び第2の転送ゲートと、上記転送ゲートを介して読み込まれた上記入力情報を蓄積する第1及び第2のキャパシタと、直結形電界効果トランジスタ論理回路で構成され、上記第1及び第2のキャパシタに蓄積された上記入力情報を後段に反転して出力する第1及び第2のインバータとを具えることを特徴とするフリップフロップ回路。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】ここでマスタ・スレープ型のフリップフロップ回路20は、2入力ノアゲートN1～N4で構成されるマスタ・ラッチ回路21及び2入力ノアゲートN5～N8で構成されるスレープ・ラッチ回路22で構成されている。図9に示すように、並列接続された電界効果トランジスタQ1及びQ2のドレインに負荷抵抗R1が接続されて構成されている。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】ここで各ラッチ回路31及び32は、ゲートにクロック信号CK及び反転クロック信号ICKを入力することにより電界効果トランジスタQ5、Q6及びQ7、Q8をオン・オフ制御し、DCFL回路のインバータI5、I6及びI7、I8を介して後段に転送される出力信号を抵抗R3、R4及びR5、R6を介してインバータI6、I5及びI8、I7の入力側に帰還するようになっている。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】

【課題を解決するための手段】かかる課題を解決するため本発明においては、クロックパルスCKが立ち上がるタイミングで入力情報Dを第1のラッチ回路41に読み込み、続くクロックパルスCKが立ち下がるタイミングで第1のラッチ回路41に蓄積された入力情報Dを後段の第2のラッチ回路42に転送するマスタ・スレープ型のフリップフロップ回路40において、第1及び第2のラッチ回路41及び42は、電界効果トランジスタでなる第1及び第2の転送ゲートQ41、Q42と、転送ゲートQ41、Q42を介して読み込まれた入力情報Dを蓄積する第1及び第2のキャパシタC1及びC2と、直結形電界効果トランジスタ論理回路(DCFL: Direct Coupled Field effect transistor Logic)で構成され、第1及び第2のキャパシタC1及びC2に蓄積された入力情報Dを後段に反転して出力する第1及び第2のインバータI

41、142とを備えるようにする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】

【作用】電界効果トランジスタでなる第1及び第2の転送ゲートQ41、Q42と第1及び第2のキャパシタC1及びC2によつてフリップフロップ回路の第1及び第2のラッチ部をダイナミックランダムアクセスメモリのメモリセルで構成し、当該ラッチ部に蓄積された入力情報Dを直結形電界効果トランジスタ論理回路(DCF L: Direct Coupled Field effect transistor Logic)で構成される第1及び第2のインバータI41、I42を介して出力することにより、フリップフロップ回路を従来に比して一段と小型かつ低消費電力で高周波動作させることができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】図1においてマスタ・スレープ型フリップフロップ回路40は、電界効果トランジスタQ41、コンデンサC1及びDCF L回路のインバータI41で構成されるマスタ・ラッチ回路41及び電界効果トランジスタQ42、コンデンサC2及びDCF L回路のインバータI42で構成されるスレープ・ラッチ回路42により構成されるようになされている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】すなわちマスタ・ラッチ回路41は、クロック信号CKが立ち上がるタイミングで、新たな入力データD1を電界効果トランジスタQ41を介してコンデンサC1に転送すると共に、新たに格納されたラッチデータD2をインバータI41を介してスレープに新たにラッチされたラッチデータD2を出力する。またマスタ・ラッチ回路41は、クロック信号CKが立ち下がるタイミングで、電界効果トランジスタQ41をオフ動作し、コンデンサC1に保持されているラッチデータD2をスレープ側に転送するようになされている。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】同様にスレープ・ラッチ回路42は、クロック信号ICKが立ち上がるタイミングで、マスタ・ラッチ回路41から入力されるラッチデータD2をコンデンサC2に転送すると共に、当該ラッチデータD2をインバータI42を介してラッチデータD3として出力するようになされている。またスレープ・ラッチ回路42は、クロック信号ICKが立ち下がるタイミングで、電界効果トランジスタQ42をオフ動作し、コンデンサC2に保持されているラッチデータD3を後段に転送するようになされている。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】以上の構成において、フリップ・フロップ回路40のデータ出力D3をインバータI43を介してマスタ・ラッチ41の入力側に帰還することにより(図2)、1/2分周回路として動作するフリップ・フロップ回路40の論理動作をシミュレーションする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】またコンデンサC1及びC2の容量は20[pF]とし、各インバータI41及びI42はそれぞれ図3(A)に示すように、ゲート幅が40[μm]のエンハンスメント型ガリウムヒ素のJ-FETと抵抗値が4[kΩ]の負荷抵抗R41で構成する。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】また当該フリップフロップ回路による消費電力は、図5において黒丸で示すように、同程度の動作周波数を有する従来のマスタ・スレープ型フリップフロップ回路の消費電力(図5において白丸で示す)に比して格段的に小さくなる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】以上の構成によれば、マスタ・ラッチ回路41とスレープ・ラッチ回路42をそれぞれDRAMのメモリセルとDCF L回路のインバータで構成し、各電界効果トランジスタのゲートをクロック信号CK及び反

転クロック信号ICKでオン・オフ制御することにより、従来に比して素子数が少ないため小型で、かつ一段と低消費電力のフリップフロップ回路を得ることができる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】なお上述の実施例においては、マスタ及びスレーブ・ラッチ回路41及び42の転送ゲート用のトランジスタQ41及びQ42のソースに接続されたコンデンサC1及びC2に入力信号をラッチする場合について述べたが、本発明はこれに限らず、伝送線路に寄生する容量を用いて入力信号をラッチするようにしても良い。このようにすれば一段と素子数を削減することができる。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】

【発明の効果】上述のように本発明によれば、マスタ・スレーブ型フリップフロップ回路のラッチ部を電界効果トランジスタでなる転送ゲートとキャパシタで構成し、当該キャパシタに蓄積された入力情報を直結形電界効果トランジスタ論理回路でなるインバータを介して転送することにより、低消費電力で高速動作するフリップフロップ回路を従来に比して一段と少ない素子数で実現することができる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明によるラッチ回路により構成されるマスタ・スレーブ型フリップフロップ回路の一実施例を示す接続図である。

【図2】本発明によるフリップフロップ回路により構成される1/2分周回路を示す接続図である。

【図3】本発明によるフリップフロップ回路を構成するインバータの説明に供する接続図である。

【図4】1/2分周回路の動作特性の説明に供する入出力特性曲線図である。

【図5】本発明によるフリップフロップ回路の動作特性の説明に供する特性曲線図である。

【図6】 $\pi/4$ 移相シフト変調回路の構成を示す接続図である。

【図7】PLL回路の構成を示す接続図である。

【図8】従来のマスタ・スレーブ型フリップフロップ回路を示す接続図である。

【図9】ノアゲートの構成を示す接続図である。

【図10】従来の高速動作マスタ・スレーブ型フリップフロップ回路を示す接続図である。

【図11】そのインバータ回路の構成を示す接続図である。

【図12】従来の低消費電力用マスタ・スレーブ型フリップフロップ回路を示す接続図である。

【符号の説明】

40……マスタ・スレーブ型フリップフロップ回路、41、42……ラッチ回路、43……1/2分周回路、Q41、Q42……電界効果トランジスタ、C1、C2……コンデンサ、I41、I42……インバータ、

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

### **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

This Page Blank (uspto)